

【0019】 In a rate multiplier/prescaler 1 having a configuration shown in FIG. 4, an example of a timing chart in case a frequency 5 division set value is '1010_B' is shown in FIG. 5. In this FIG. 5, A0 - A3, Q0 - Q3 and O3 - O3 denote respective terminals in the counters 11, 12, 13 and 14 and the selectors 15, 16, 17 and 18.

【0020】 The source voltage detection circuit 3 outputs an 10 operation permission signal to the rate multiplier/prescaler 1 on detection of the source voltage becoming equal to a preset voltage value. Triggered by this, the rate multiplier/prescaler 1 divides a source oscillation clock frequency with a frequency ratio determined by [the frequency division set value]/[the 15 number of bits configuring the rate multiplier/prescaler 1], based on the frequency division set value stored in a rate multiplier/prescaler setting register 10, and thus the internal clock frequency is converted.

【0021】 After the internal clock frequency is converted, the 20 source voltage detection circuit 3 supplies the rate multiplier/prescaler 1 with a new frequency division set value which is prepared for the subsequent conversion. The rate multiplier/prescaler 1 stores this newly supplied frequency division set value into the rate multiplier/prescaler setting 25 register 10, and continues to operate with the present frequency division ratio, waiting for an operation permission signal being supplied from the source voltage detection circuit 3 again. Here,

the frequency division set value prepared for the subsequent conversion is supplied from the CPU 8 to the source voltage detection circuit 3. The relation of correspondence between the set value of the source voltage to be detected by the source 5 voltage detection circuit 3 and the frequency division set value is stored in a memory such as a ROM 9 in a table form. Additionally, there may be a case that the frequency division set value prepared for the subsequent conversion is set directly from the CPU 8 to the rate multiplier/prescaler setting register 10.

10 **【0022】** The source voltage detection circuit 3 supplies the newly supplied frequency division set value also to a compensation circuit 6. Further, the source voltage detection circuit 3 outputs a control signal (a data register switching signal) to a data register 5.

【図4】

本発明の実施の形態にかかるマイクロコンピュータを構成する4ビット構成の レートマルチ・プリスケーラの一構成例を示す回路図

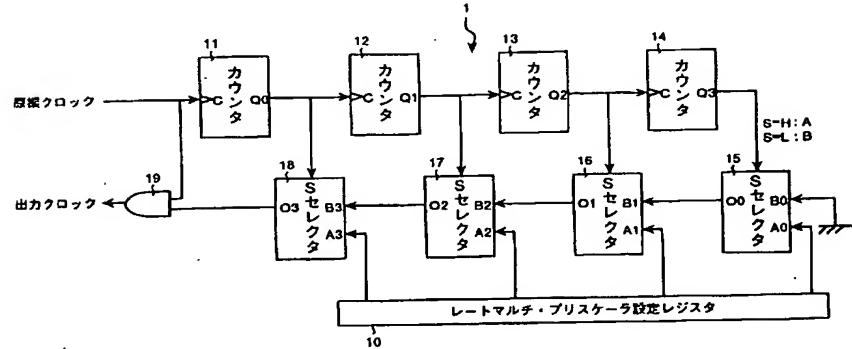
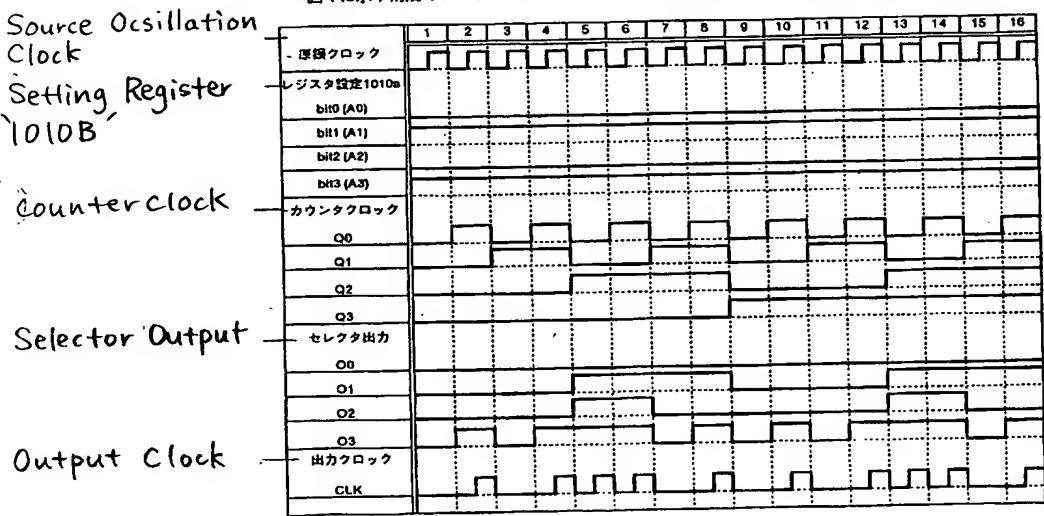


Fig. 5

【図5】

Fig. 5 [図5] An example of a operation timing chart in a rate multiplier/prescaler
 図4に示す構成のレートマルチ・プリスケーラの動作タイミングの一例を示すタイムチャート having configuration



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-202829

(P2002-202829A)

(43)公開日 平成14年7月19日 (2002.7.19)

(51)Int.Cl. ⁷	識別記号	F I	テマート ⁸ (参考)
G 0 6 F 1/04	3 0 1	G 0 6 F 1/04	3 0 1 C 5 B 0 1 1
1/32		15/78	5 1 0 P 5 B 0 6 2
1/08		1/00	3 3 2 Z 5 B 0 7 9
15/78	5 1 0	1/04	3 2 0 A

審査請求 未請求 請求項の数4 OL (全9頁)

(21)出願番号 特願2000-401993(P2000-401993)

(22)出願日 平成12年12月28日 (2000.12.28)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 田中 勝利

東京都品川区大崎2丁目8番8号 富士通
デバイス株式会社内

(74)代理人 100104190

弁理士 酒井 昭徳

Fターム(参考) 5B011 DA06 EA08 CG04 LL08 LL13

5B062 AA05 HH02 HH06

5B079 AA07 BA03 BB04 BC01 BC05

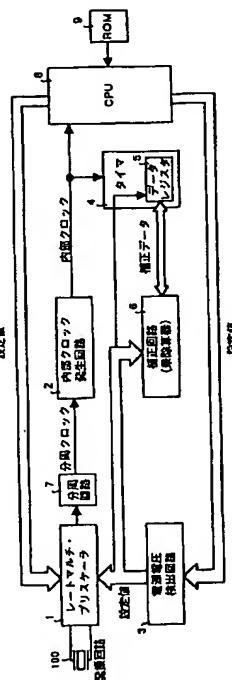
(54)【発明の名称】マイクロコンピュータ

(57)【要約】

【課題】電源電圧の変化に応じてマイクロコンピュータの内部クロックをきめ細かく制御し、内部クロックの変更と同時に内部リソースの設定値の変更をおこなうこと。

【解決手段】電源電圧検出回路3は、電源電圧を検出し、その検出値に基づいてレートマルチ・プリスケーラ1の分周設定値を設定する。レートマルチ・プリスケーラ1は、発振回路100から供給された原振クロックを、レートマルチ・プリスケーラ1の構成ビット数に応じた複数の分周比のうち分周設定値に基づく分周比でもって分周する。そして、補正回路は、つぎに変更される予定の分周設定値に基づいて、内部リソースであるタイマ4の動作タイミング等を決める設定値の補正值をあらかじめ求めておき、その補正值を分周比の変更と同時に新たなタイミング設定値としてデータレジスタ5に格納する。

本発明の実施の形態にかかるマイクロコンピュータの要部を示すブロック図



【特許請求の範囲】

【請求項1】 基準となる原振クロックを、構成ビット数に応じた複数の分周比のうち、電源電圧に対応する分周設定値に基づく分周比でもって分周する分周手段と、前記分周手段により分周されたクロックに基づいて内部クロックを生成する内部クロック発生手段と、電源電圧を検出し、その検出値に基づいて前記分周設定値を更新する電源電圧検出手段と、

を具備することを特徴とするマイクロコンピュータ。

【請求項2】 前記分周手段はレートマルチ・プリスケーラで構成されることを特徴とする請求項1に記載のマイクロコンピュータ。

【請求項3】 電源電圧値と前記分周設定値とを対応させたテーブルを記憶した記憶手段を有することを特徴とする請求項1に記載のマイクロコンピュータ。

【請求項4】 内部クロックに関するタイミング設定値に基づいて動作する内部リソースと、

前記タイミング設定値を保持する保持手段と、前記電源電圧検出手段により更新された前記分周設定値に基づいて、前記保持手段に保持された前記タイミング設定値を補正する補正手段と、

をさらに具備することを特徴とする請求項1に記載のマイクロコンピュータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電池で駆動される電子機器に搭載され、内部クロックを電源電圧に応じて変化させることによって消費電力の制御をおこなうマイクロコンピュータに関する。

【0002】 携帯型の情報端末機器などでは、電池の電力消費によって電源電圧が低下した場合、突発的な電源断によるデータ等の消失を防ぐため、低消費電力動作に移行するのが望ましい。そうすれば、電池により供給される電圧がLSIの動作限界電圧にいたる前に、ユーザが保持電圧の低いメモリ等にデータや機器の動作状態を退避させることができるので、データの消失等を回避することができる。

【0003】 また、携帯型のヘッドフォン・ステレオなどの機器では、電池による電源電圧に応じて低消費電力状態に移行することによって、電池の持続時間が伸びる。さらには、携帯電話などでは、通話中の消費電力と待ち受け状態での消費電力が異なるが、このように動作状態によって消費電力が大きく異なる機器の場合、電源電圧を細かく制御することによって電池の持続時間が伸びる。

【0004】

【従来の技術】 一般に、マイクロコンピュータを内蔵した電子機器では、マイクロコンピュータの内部クロックを制御することによって、その消費電力が制御されている。すなわち、電池の消耗により電源電圧が低下し、低

消費電力状態に移行すると、内部クロックの周波数は通常動作時の2分の1、あるいは4分の1、…というように低くなる。このときのマイクロコンピュータの内部クロックの分周比はハードウェアで固定されている。また、内部クロックを分周回路で低速化させた場合、内部リソースであるタイマの周期や通信速度が変わるので防ぐため、それらの設定値をソフトウェア処理によって変更する必要がある。

【0005】

【発明が解決しようとする課題】 しかしながら、従来は、内部クロックを2段階または3段階程度しか変化させることができない。したがって、従来よりもきめ細かく消費電力制御をおこなうため、マイクロコンピュータを従来よりもさらに低い消費電力状態で動作させようとすると、ハードウェアに新たに分周回路を追加しなければならないという問題点がある。また、従来は、内部クロックが低下してから内部リソースの設定値が変更されるまでに時間がかかってしまう。そのため、たとえば内部リソースがタイマの場合には計測時間に誤差が生じたり、あるいは通信途中の場合には転送レートが狂うなどの問題点がある。

【0006】 本発明は、上記問題点に鑑みてなされたものであって、電源電圧の変化に応じてマイクロコンピュータの内部クロックをきめ細かく制御することができ、かつ内部リソースの設定値の変更を内部クロックの変更と同時におこなうことが可能なマイクロコンピュータを提供することを目的とする。

【0007】

【課題を解決するための手段】 上記目的を達成するため、本発明にかかるマイクロコンピュータは、分周手段（レートマルチ・プリスケーラ）、内部クロック発生手段、電源電圧検出手段および補正手段を具備する。分周手段（レートマルチ・プリスケーラ）は、発振回路から供給された原振クロックを、構成ビット数に応じた複数の分周比のうち、電源電圧に対応する分周設定値に基づく分周比でもって分周する。

【0008】 内部クロック発生手段は、分周手段（レートマルチ・プリスケーラ）により分周されたクロックに基づいて内部クロックを生成する。電源電圧検出手手段は、電源電圧を検出し、その検出値に基づいて分周手段（レートマルチ・プリスケーラ）の分周設定値を設定する。そして、補正手段は、つぎに変更される予定の分周設定値に基づいて、内部リソースの動作タイミング等を決める設定値の補正值をあらかじめ求めておき、その補正值を分周比の変更と同時に新たなタイミング設定値とする。

【0009】 この発明によれば、電源電圧に応じた分周設定値でもって原振クロックが分周されるので、構成ビット数を多くしておくか、または分周設定値の数を増やすことによって、ハードウェアに新たに分周回路を追加

することなく、原振クロックをより多くの分周比で分周することができる。また、内部リソースの動作タイミング等を決める設定値は分周比の変更と同時に補正される。

【0010】

【発明の実施の形態】以下に、本発明の実施の形態について図1～図7を参照しつつ詳細に説明する。図1は、本発明の実施の形態にかかるマイクロコンピュータの要部を示すブロック構成図である。このマイクロコンピュータは、分周手段であるレートマルチ・プリスケーラ1、内部クロック発生手段である内部クロック発生回路2、および電源電圧検出手段である電源電圧検出回路3を具備する。また、マイクロコンピュータは、内部クロックに関するタイミング設定値に基づいて動作する内部リソースの一例であるタイマ4と、そのタイミング設定値を保持する保持手段であるデータレジスタ5と、そのデータレジスタ5に保持されたタイミング設定値を補正する補正手段である補正回路6を有する。

【0011】レートマルチ・プリスケーラ1は、発振回路100から供給された原振クロックを電源電圧に対応する分周比でもって分周する。すなわち、レートマルチ・プリスケーラ1は、構成ビット数に応じた分解能でクロックパルスを出力することができる。具体的には、特に限定しないが、構成ビット数がたとえば4ビットの場合には、レートマルチ・プリスケーラ1の分解能は、原振クロック16パルスあたりの出力パルス数がゼロ個から15個までのおおよそ6%となる。

【0012】レートマルチ・プリスケーラ1の構成ビット数が4ビットの場合の出力クロックの波形図を図2に示す。また、一例として、レートマルチ・プリスケーラ1の設定値が「0010B」と「0100B」の場合の出力クロック波形を、その後段に設けられた分周回路7により整形した波形図を図3に示す。この分周回路7は、レートマルチ・プリスケーラ1の出力クロックに対してデューティ比を整えるために設けられているが、デューティ比を整える必要がない場合には不要である。

【0013】ここで、レートマルチ・プリスケーラ1の構成ビット数は4ビットに限らず、所望の分解能に応じて設定される。たとえば、レートマルチ・プリスケーラ1の分解能として0.1%程度を必要とする場合には、レートマルチ・プリスケーラ1の構成ビット数は10ビットとなる。この場合には、レートマルチ・プリスケーラ1は、原振クロック1024パルスあたり、ゼロ個から1023個までのパルスを出力することができる。

【0014】内部クロック発生回路2は、分周回路7(分周回路7が設けられていない場合には、レートマルチ・プリスケーラ1)から出力されたクロック信号に基づいて内部クロックを生成する。生成された内部クロックは、たとえばレートマルチ・プリスケーラ1や電源電圧検出回路3などを制御するCPU8に供給される。C

PU8は、内部クロック発生回路2から供給された内部クロックに基づいて動作する。

【0015】図4に、構成ビット数が4ビットのレートマルチ・プリスケーラ1の一例を示す。レートマルチ・プリスケーラ1は、たとえば分周比を設定するための設定値(すなわち、分周設定値)を保持するレートマルチ・プリスケーラ設定レジスタ10、4個のカウンタ11、12、13、14、4個のセレクタ15、16、17、18およびアンド回路19を備えている。

【0016】原振クロックは第1のカウンタ11のクロック端子C、およびアンド回路19の一方の入力端子にそれぞれ入力される。第1のカウンタ11の出力端子Q0から出力された信号は第2のカウンタ12のクロック端子C、および第4のセレクタ18のスイッチ端子Sに入力される。同様に、第2のカウンタ12の出力端子Q1から出力された信号は第3のカウンタ13のクロック端子C、および第3のセレクタ17のスイッチ端子Sに入力される。また、第3のカウンタ13の出力端子Q2から出力された信号は第4のカウンタ14のクロック端子C、および第2のセレクタ16のスイッチ端子Sに入力される。第4のカウンタ14の出力端子Q3から出力された信号は第1のセレクタ15のスイッチ端子Sに入力される。

【0017】第1のセレクタ15の一方の入力端子A0、第2のセレクタ16の一方の入力端子A1、第3のセレクタ17の一方の入力端子A2および第4のセレクタ18の一方の入力端子A3には、それぞれレートマルチ・プリスケーラ設定レジスタ10に格納された分周設定値の最下位ビット、その一つ上位のビット、さらにその一つ上位のビットおよび最上位ビットの値が入力される。また、第1のセレクタ15のもう一方の入力端子B0には常に「0」が入力される。

【0018】第1のセレクタ15の出力端子O0から出力された信号は、第2のセレクタ16のもう一方の入力端子B1に入力される。同様に、第2のセレクタ16の出力端子O1から出力された信号は、第3のセレクタ17のもう一方の入力端子B2に入力される。第3のセレクタ17の出力端子O2から出力された信号は、第4のセレクタ18のもう一方の入力端子B3に入力される。第4のセレクタ18の出力端子O3から出力された信号は、アンド回路19のもう一方の入力端子に入力される。アンド回路19は、レートマルチ・プリスケーラ1の出力クロックを出力する。

【0019】図4に示す構成のレートマルチ・プリスケーラ1において、分周設定値が「1010B」である場合のタイミングチャートの一例を図5に示す。図5において、A0～A3、Q0～Q3およびO0～O3は図4に示すカウンタ11、12、13、14やセレクタ15、16、17、18の各端子を表す。

【0020】電源電圧検出回路3は、電源電圧があらか

じめ設定された電圧値に等しくなったことを検出して、レートマルチ・プリスケーラ1に動作許可信号を出力する。それによって、レートマルチ・プリスケーラ1は、レートマルチ・プリスケーラ設定レジスタ10に格納されている分周設定値に基づいて、【分周設定値】／【レートマルチ・プリスケーラ1の構成ビット数】で決まる分周比でもって原振クロックの分周をおこない、内部クロックの周波数を変更する。

【002-1】内部クロックの周波数変更後、電源電圧検出回路3は、レートマルチ・プリスケーラ1につぎに変更予定の分周設定値を供給する。レートマルチ・プリスケーラ1は、その新たに供給された分周設定値をレートマルチ・プリスケーラ設定レジスタ10に格納し、現在の分周比で動作しつづけながら、再び電源電圧検出回路3から動作許可信号が供給されるのを待つ。ここで、つぎに変更予定の分周設定値はCPU8から電源電圧検出回路3に供給される。電源電圧検出回路3により検出する電源電圧の設定値と分周設定値との対応関係は、CPU8に接続されたROM9等の記憶手段にテーブルとして記憶されている。なお、つぎに変更予定の分周設定値は、CPU8から直接レートマルチ・プリスケーラ設定レジスタ10に設定される場合もある。

【002-2】また、電源電圧検出回路3は、新たに供給された分周設定値を補正回路6にも供給する。さらに、電源電圧検出回路3は、データレジスタ5に制御信号(データレジスタ切換信号)を出力する。

【002-3】図6は、電源電圧検出回路3、補正回路6およびタイマ4を含む構成の一例を示すブロック図である。電源電圧検出回路3は、複数の抵抗素子31、抵抗タップ設定レジスタ32、セレクタ33、比較回路34、外部リファレンス端子35および検出回路36を備えている。

【002-4】複数の抵抗素子31は、電源電圧を複数の電圧レベルに分圧するために設けられている。抵抗タップ設定レジスタ32は、CPU8から供給された分周設定値を格納する。セレクタ33は、抵抗タップ設定レジスタ32に格納された分周設定値に基づいて、電源電圧の分圧に寄与する抵抗素子31の数を選択し、その選択された抵抗素子31の数に応じて分圧された電圧値を比較回路34に出力する。

【002-5】比較回路34は、セレクタ33から供給された電圧値を外部リファレンス端子35に印加された参照電圧値と比較し、電源電圧の分圧値が参照電圧値に一致したときに一致信号を出力する。検出回路36は、比較回路34から出力された一致信号を検出して制御信号を出力する。その制御信号は、レートマルチ・プリスケーラ1に前記動作許可信号として供給されるとともに、データレジスタ5に前記データレジスタ切換信号として供給される。

【002-6】補正回路6は、レートマルチ・プリスケーラ1のレートマルチ・プリスケーラ設定レジスタ10に格納された分周設定値61を、レートマルチ・プリスケーラ1のレートマルチ構成ビット数の値62で除算する除算器63と、その除算器により求められた値に、データレジスタ5に格納されているタイミング設定値を乗算する乗算器64とにより構成されている。そして、補正回路6は、それら除算器63および乗算器64により、レートマルチ・プリスケーラ1のレートマルチ・プリスケーラ設定レジスタ10に格納されたつぎに変更予定の分周設定値61に対応したタイミング設定値をあらかじめ求めておく。データレジスタ5は、データレジスタ切換信号を受け取ると、補正回路6によりあらかじめ求められたタイミング設定値を新たなタイミング設定値として格納する。

【002-7】つぎに、実施の形態にかかるマイクロコンピュータの動作について説明する。図7は、電源電圧レベルの変動に伴う原振クロック、内部クロックおよびタイマ4のデータレジスタ5の設定値の変化の様子を示す波形例である。図示例では、たとえば電圧検出ポイントを電圧検出レベル1と電圧検出レベル2(電圧検出レベル1>電圧検出レベル2)の2箇所としている。

【002-8】この例では、電源電圧が電圧検出レベル1よりも高い通常動作状態のときには、内部クロックは原振クロックと同じ周波数となる。このときのデータレジスタ5の設定値はたとえば80Hである。そして、電源電圧が低下して電圧検出レベル1に一致すると、たとえば、内部クロックが原振クロックの2分の1の周波数に切り換わるとともに、データレジスタ5の設定値が40Hに変更され、1段階目の低消費電力状態となる。電源電圧の検出設定値と分周設定値との対応関係を表すテーブル(以下、単にテーブルとする)には、電源電圧が低下していくときの電圧検出レベル1に対応する分周設定値として、内部クロックの周波数が原振クロックの2分の1の周波数となるような値が格納されている。

【002-9】電源電圧が電圧検出レベル1以下で電圧検出レベル2よりも高いときには、1段階目の低消費電力状態のままである。電源電圧がさらに低下して電圧検出レベル2に一致すると、たとえば、内部クロックが原振クロックの6分の1の周波数に切り換わるとともに、データレジスタ5の設定値が20Hに変更され、2段階目の低消費電力状態となる。前記テーブルには、電源電圧が低下していくときの電圧検出レベル2に対応する分周設定値として、内部クロックの周波数が原振クロックの6分の1の周波数となるような値が格納されている。電源電圧が電圧検出レベル2以下では、2段階目の低消費電力状態のままである。

【002-10】一方、電圧検出レベル2よりも低い2段階目の低消費電力状態から電源電圧が上昇し、電圧検出レベル2に一致すると、たとえば、内部クロックが原振クロックの2分の1の周波数に切り換わるとともに、データレジスタ5の設定値が80Hに変更され、1段階目の低消費電力状態となる。前記テーブルには、電源電圧が上昇していくときの電圧検出レベル2に対応する分周設定値として、内部クロックの周波数が原振クロックの2分の1の周波数となるような値が格納されている。

【002-11】一方、電圧検出レベル2よりも低い2段階目の低消費電力状態から電源電圧が上昇し、電圧検出レベル2に一致すると、たとえば、内部クロックが原振クロックの2分の1の周波数に切り換わるとともに、データレジスタ5の設定値が40Hに変更され、1段階目の低消費電力状態となる。前記テーブルには、電源電圧が上昇していくときの電圧検出レベル2に対応する分周設定値として、内部クロックの周波数が原振クロックの2分の1の周波数となるような値が格納されている。

タレジスタ5の設定値が40Hに変更される。つまり、1段階目の低消費電力状態に戻る。前記テーブルには、電源電圧が上昇していくときの電圧検出レベル2に対応する分周設定値として、内部クロックの周波数が原振クロックの2分の1の周波数となるような値が格納されている。

【0031】電源電圧が電圧検出レベル2以上で電圧検出レベル1よりも低いときには、1段階目の低消費電力状態のままである。電源電圧がさらに上昇して電圧検出レベル1に一致すると、たとえば、内部クロックが原振クロックと同じ周波数に切り換わるとともに、データレジスタ5の設定値が80Hに変更され、通常動作状態に戻る。前記テーブルには、電源電圧が上昇していくときの電圧検出レベル1に対応する分周設定値として、内部クロックの周波数が原振クロックの周波数となるような値が格納されている。電源電圧が電圧検出レベル1以上では、通常動作状態のままである。

【0032】上述した実施の形態によれば、レートマルチ・プリスケーラ1により電源電圧に応じた分周設定値でもって原振クロックが分周されるので、あらかじめレートマルチ・プリスケーラ1の構成ビット数を多くしておくか、レートマルチ・プリスケーラ1に対する分周設定値の数を増やすだけで、ハードウェアに新たに分周回路を追加することなく、原振クロックをより多くの分周比で分周することができる。したがって、電源電圧の変化に応じてマイクロコンピュータの内部クロックをきめ細かく制御することができる。

【0033】また、上述した実施の形態によれば、データレジスタ5に格納されたタイミング設定値がハードウェアによって分周比の変更と同時に補正されるので、ソフトウェア処理に伴うCPU8の負荷の増大を招くことなく、タイミング設定値の変更を内部クロックの変更と同時に起こすことができる。

【0034】以上において本発明は、上述した実施の形態に限らず、種々変更可能である。たとえば、レートマルチ・プリスケーラ1の構成ビット数は4ビットに限らないし、電源電圧検出回路3や補正回路6の構成も同等の機能を実現する種々の回路で置き換えることができる。また、内部リソースはタイマ4に限らず、通信制御回路などにも適用できる。

【0035】〔付記〕

(付記1) 基準となる原振クロックを、構成ビット数に応じた複数の分周比のうち、電源電圧に対応する分周設定値に基づく分周比でもって分周する分周手段と、前記分周手段により分周されたクロックに基づいて内部クロックを生成する内部クロック発生手段と、電源電圧を検出し、その検出値に基づいて前記分周設定値を更新する電源電圧検出手段と、を具備することを特徴とするマイクロコンピュータ。

【0036】〔付記2〕 前記分周手段はレートマルチ

・プリスケーラで構成されることを特徴とする付記1に記載のマイクロコンピュータ。

【0037】(付記3) 電源電圧値と前記分周設定値とを対応させたテーブルを記憶した記憶手段を有することを特徴とする付記1に記載のマイクロコンピュータ。

【0038】(付記4) 内部クロックに関するタイミング設定値に基づいて動作する内部リソースと、前記タイミング設定値を保持する保持手段と、前記電源電圧検出手段により更新された前記分周設定値に基づいて、前記保持手段に保持された前記タイミング設定値を補正する補正手段と、をさらに具備することを特徴とする付記1に記載のマイクロコンピュータ。

【0039】(付記5) 前記補正手段は、つぎに変更される予定の分周設定値に基づいて、前記保持手段に保持された前記タイミング設定値の補正值をあらかじめ求めておくことを特徴とする付記4に記載のマイクロコンピュータ。

【0040】(付記6) 前記補正手段は、前記分周手段のタイミング設定値を構成ビット数で除し、かつそれに前記保持手段に保持された前記タイミング設定値を乗ずる乗除算器で構成されることを特徴とする付記5に記載のマイクロコンピュータ。

【0041】(付記7) 前記保持手段は、分周比の変更と同時に、前記補正手段によりあらかじめ求められた補正值を新たにタイミング設定値として格納することを特徴とする付記5に記載のマイクロコンピュータ。

【0042】(付記8) 前記内部リソースはタイマであることを特徴とする付記4に記載のマイクロコンピュータ。

【0043】

【発明の効果】本発明によれば、電源電圧に応じた分周設定値でもって原振クロックが分周されるので、あらかじめ構成ビット数を多くしておくか、分周設定値の数を増やすだけで、ハードウェアに新たに分周回路を追加することなく、原振クロックをより多くの分周比で分周することができる。したがって、電源電圧の変化に応じてマイクロコンピュータの内部クロックをきめ細かく制御することができるという効果を奏する。

【0044】また、本発明によれば、内部リソースの動作タイミング等を決める設定値がハードウェアによって分周比の変更と同時に補正されるので、ソフトウェア処理に伴うCPUの負荷の増大を招くことなく、内部リソースの設定値の変更を内部クロックの変更と同時に起こすことができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の実施の形態にかかるマイクロコンピュータの要部を示すブロック構成図である。

【図2】本発明の実施の形態にかかるマイクロコンピュータを構成する4ビット構成のレートマルチ・プリスケーラの出力クロックを示す波形図である。

【図3】本発明の実施の形態にかかるマイクロコンピュータを構成する4ビット構成のレートマルチ・プリスケーラの出力クロックに対してデューティ比を整えた波形図である。

【図4】本発明の実施の形態にかかるマイクロコンピュータを構成する4ビット構成のレートマルチ・プリスケーラの一構成例を示す回路図である。

【図5】図4に示す構成のレートマルチ・プリスケーラの動作タイミングの一例を示すタイムチャートである。

【図6】本発明の実施の形態にかかるマイクロコンピュータを構成する電源電圧検出回路、補正回路およびタイマを含む構成の一例を示すブロック図である。

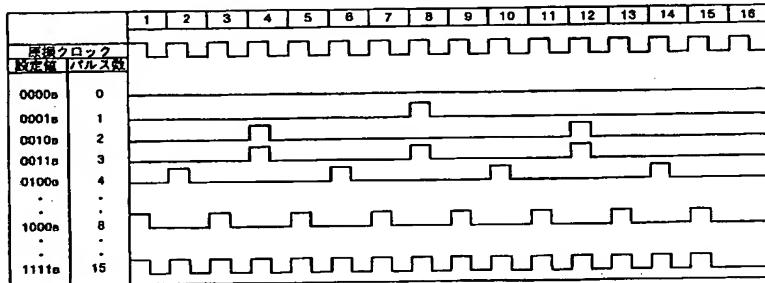
【図7】本発明の実施の形態にかかるマイクロコンピュータにおいて、電源電圧レベルの変動に伴う原振クロック、内部クロックおよびデータレジスタの設定値の変化の一例を示す波形図である。

【符号の説明】

- 1 レートマルチ・プリスケーラ (分周手段)
- 2 内部クロック発生回路 (内部クロック発生手段)
- 3 電源電圧検出回路 (電源電圧検出手段)
- 4 タイマ (内部リソース)
- 5 データレジスタ (保持手段)
- 6 補正回路 (補正手段)
- 9 ROM (記憶手段)

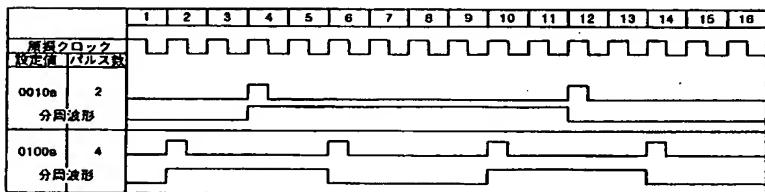
【図2】

本発明の実施の形態にかかるマイクロコンピュータを構成する4ビット構成のレートマルチ・プリスケーラの出力クロックを示す波形図



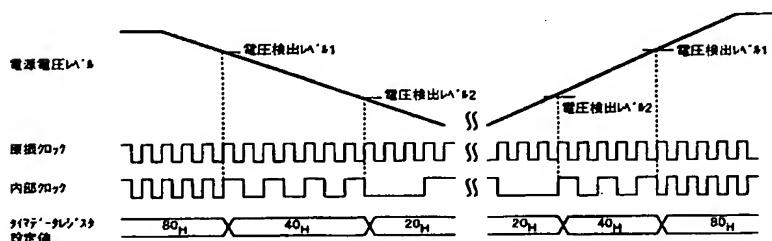
【図3】

本発明の実施の形態にかかるマイクロコンピュータを構成する4ビット構成のレートマルチ・プリスケーラの出力クロックに対してデューティ比を整えた波形図

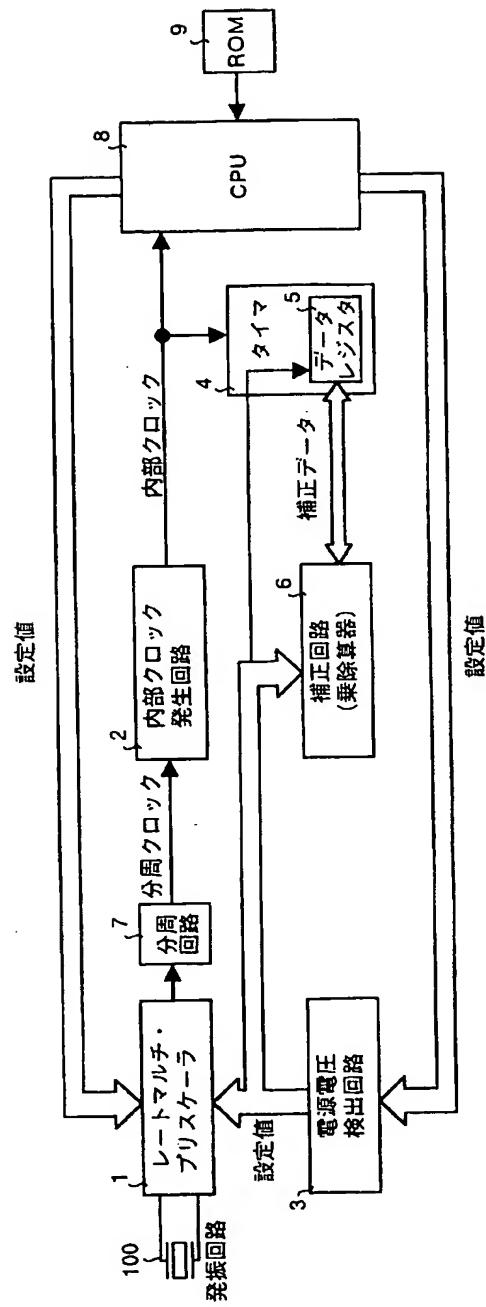


【図7】

本発明の実施の形態にかかるマイクロコンピュータにおいて、電源電圧レベルの変動に伴う原振クロック、内部クロックおよびデータレジスタの設定値の変化の一例を示す波形図

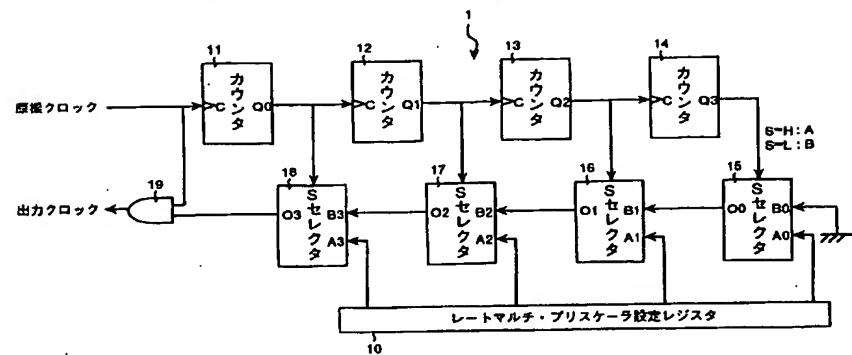


【図1】



[図4]

本発明の実施の形態にかかるマイクロコンピュータを構成する4ビット構成の
レートマルチ・プリスケーラの一構成例を示す回路図



【图5】

図4に示す構成のレートマルチ・ブリスケーラの動作タイミングの一例を示すタイムチャート

Timing diagram showing the relationship between various clock signals and data lines over 16 clock cycles. The signals include a master clock (CLK), four data lines (bit0 to bit3), four counter outputs (Q0 to Q3), and four select outputs (S0 to S3). The diagram illustrates how the data lines are sampled by the counter outputs and how the select outputs are generated based on the counter values.

[図 6]

本発明の実施の形態にかかるマイクロコンピュータを構成する電源電圧検出回路、補正回路およびタイマを含む構成の一例を示すブロック図

